

PCT/JP00/07175

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

09/866322

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年10月18日

出 願 番 号

Application Number:

平成11年特許願第294996号

出 願 人

Applicant (s):

セイコーエプソン株式会社

REC'D 04 DEC 2000	
WIPO	PCT

JP00 17175

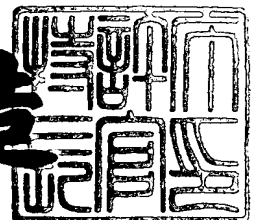
09/831422

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年11月17日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3094912

【書類名】 特許願

【整理番号】 J0076408

【提出日】 平成11年10月18日

【あて先】 特許庁長官殿

【国際特許分類】 G09F 9/00

G09F 9/35

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 松枝 洋二郎

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100061273

【弁理士】

【氏名又は名称】 佐々木 宗治

【電話番号】 03(3580)1936

【選任した代理人】

【識別番号】 100085198

【弁理士】

【氏名又は名称】 小林 久夫

【選任した代理人】

【識別番号】 100060737

【弁理士】

【氏名又は名称】 木村 三朗

【選任した代理人】

【識別番号】 100070563

【弁理士】

【氏名又は名称】 大村 昇

【手数料の表示】

【予納台帳番号】 008626

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】 表示の最小単位であるドットに対応させて複数の走査線及び複数のデータ線を格子状に形成し、各交点に能動素子を設け、走査線及びデータ線の駆動により液晶を用いた表示制御をする表示駆動部と、

前記表示駆動部の列方向の長さに対応して割り付けられ、前記走査線を選択して駆動させる走査線ドライバ部と、

少なくとも前記表示駆動部の 1 行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが、前記表示駆動部の行方向の長さに対応して割り付けられるメモリセル部と、

前記表示駆動部の行方向の長さに対応して割り付けられ、入力される画像信号を記憶させる前記メモリセルを選択する列デコーダ部と、

前記表示駆動部の行方向の長さに対応して割り付けられ、該列デコーダ部の選択と前記画像信号とに基づいてスイッチングし、前記列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部と、

前記表示駆動部の行方向の長さに対応して割り付けられ、前記メモリセル部に記憶された画像信号に基づいて前記データ線を駆動させるデータ線ドライバ部とを半導体又は絶縁体の基板上に集積し、一体形成したことを特徴とする表示装置。

【請求項 2】 前記表示駆動部は、液晶を用いた表示制御をする代わりに、表示の最小単位であるドットに対応させて複数の走査線及び複数のデータ線を格子状に形成した各交点に能動素子を設け、走査線及びデータ線の駆動により、前記能動素子に接続された有機 EL 素子を発光させて表示制御をすることを特徴とする請求項 1 記載の表示装置。

【請求項 3】 複数の走査線及び複数のビット線が設けられ、また、対応する前記走査線及び前記ビット線の駆動により発光表示制御される有機 EL 素子が、表示制御の最小単位であるドット毎に備えられ、マトリクス状に形成された表示駆動部と、

少なくとも前記表示駆動部の 1 行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが前記表示部の行方向の長さに基づいて割り付けられ、また各メモリセルが前記ビット線と接続されたメモリセル部と、

前記表示駆動部の行方向の長さに基づいて割り付けられ、入力される画像信号を記憶させる前記メモリセルを選択する列デコーダ部と、

前記表示駆動部の行方向の長さに基づいて割り付けられ、該列デコーダ部の選択と前記画像信号とに基づいてスイッチングし、前記列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部と
を半導体又は絶縁体の基板上に集積し、一体形成したことを特徴とする表示装置

【請求項 4】 前記表示部の行方向の長さに基づいて割り付けられる、前記表示駆動部の 1 行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルの数を冗長に構成することを特徴とする請求項 1、2 又は 3 記載の表示装置。

【請求項 5】 前記メモリセル部は、前記走査線の数と等しい数だけ設けられた各ワード線に、前記 1 行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを接続して、前記表示駆動部のドット配列に対応したメモリアレイで構成され、

また、前記ワード線を選択して駆動させるワード線ドライバ部を、さらに前記基板上に集積し、一体形成することを特徴とする請求項 1、2 又は 3 記載の表示装置。

【請求項 6】 表示位置及び記憶位置を示すアドレス信号に基づいて、前記走査線ドライバ部は前記走査線を選択し、また、前記ワード線ドライバ部は前記ワード線を選択することを特徴とする請求項 5 記載の表示装置。

【請求項 7】 前記走査線ドライバ部と前記ワード線ドライバ部には同じアドレス信号が入力されることを特徴とする請求項 6 記載の表示装置。

【請求項 8】 前記走査線ドライバ部と前記ワード線ドライバ部には独立したアドレス信号が入力されることを特徴とする請求項 6 記載の表示装置。

【請求項 9】 前記走査線ドライバ部は、走査線ドライバ制御信号が入力さ

れている間だけ、前記アドレス信号に基づいて前記走査線の選択駆動動作を行い、また、前記ワード線ドライバ部は、ワード線ドライバ制御信号が入力されている間だけ、前記アドレス信号に基づいて前記ワード線の選択駆動動作を行うことを特徴とする請求項 6 記載の表示装置。

【請求項 1 0】 前記列デコーダ部は、前記アドレス信号に基づいて、入力される画像信号を記憶させるメモリセルを選択することを特徴とする請求項 6 記載の表示装置。

【請求項 1 1】 光源色である赤、青及び緑を発色表示させるために設けられた 3 ドットを 1 画素とし、前記画像信号は 1 画素単位で入力され、また、前記列デコーダ部は、1 画素分のメモリセルを選択することを特徴とする請求項 1 0 記載の表示装置。

【請求項 1 2】 光源色である赤、青及び緑を発色表示させるために設けられた 3 ドットを 1 画素とし、前記画像信号は複数画素単位で入力され、また、前記列デコーダ部は、複数画素分のメモリセルを選択することを特徴とする請求項 1 0 記載の表示装置。

【請求項 1 3】 前記メモリセル部に記憶させる画像信号の入力配線及び前記列選択スイッチ部は、前記メモリセル部を挟んで表示駆動部と反対側に形成されることを特徴とする請求項 1、2 又は 3 記載の表示装置。

【請求項 1 4】 前記メモリセル部は、前記表示駆動部の行方向の長さに対応させてメモリセルが割り付けられ、多段構成で形成されることを特徴とする請求項 1、2 又は 3 記載の表示装置。

【請求項 1 5】 前記走査線の数の整数倍の数のワード線を設け、前記メモリセル部は、前記表示駆動部の 1 行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを、前記整数倍の数のワード線に分けて接続させたメモリアレイで構成され、形成されることを特徴とする請求項 5 記載の表示装置。

【請求項 1 6】 前記メモリセル部は、前記表示駆動部の複数行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを前記表示駆動部の行方向の長さに対応させて割り付けたメモリアレイで構成され、形成されるこ

とを特徴とする請求項 1、2 又は 3 記載の表示装置。

【請求項 17】 前記アドレス信号を送信するタイミングを制御するタイミングコントローラ部と、

前記画像信号の送信を制御するメモリコントローラ部と
をさらに前記基板上に集積し、一体形成することを特徴とする請求項 6 ないし 16 のいずれかに記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は表示装置に関するものである。特に、液晶ディスプレイ（LCD：Liquid Crystal Display）又は有機ELディスプレイ（OLED：Organic Electro Luminescent Display）を表示させるための駆動回路等に関するものである。

【0002】

【従来の技術】

最近、液晶を用いた表示装置（以下、ディスプレイという）がかなりの勢いで普及しつつある。このタイプのディスプレイは、CRTのディスプレイに比べて低消費電力で省スペースである。したがって、このようなディスプレイの利点を活かし、より低消費電力で、より省スペースのディスプレイを作成することが重要となる。

【0003】

図9は、TFTディスプレイによる表示装置により表示を行うためのシステムのブロック図である。このシステムはデジタルインターフェース100及びTFT液晶ディスプレイパネル101で構成される。デジタルインターフェース100は、少なくともCPU100A、RAM100B、フレームメモリ100C及びLCDコントローラ100Dで構成される。CPU100Aは、汎用のメモリであるRAM100Bとデータのやりとりを行いながら、表示データを送信する演算制御手段である。このRAM100Bは、特に表示用のメモリだけに用いられているわけではなく、そのため新たに表示用のデータを記憶するメモリを必要とする。それがフレームメモリ100Cである。フレームメモリ100Cは、液

晶パネル101Cの1画面分の表示用のデータを一時的に記憶する（以下、1画素分のデータを表示データとし、表示データを構成する各2値信号を画像信号という）。LCDコントローラ100Dは、フレームメモリ100Cに記憶された各表示データを、液晶パネル101C上の各表示位置に各タイミングで表示させるため、表示データの送信制御等を行うものである。ここで、CRTの場合は、表示データをアナログデータに変換して送信する必要があるが、液晶ディスプレイのインターフェースがデジタルデータに対応しているものとして、ここでは表示データをデジタルデータである画像信号で送信する。

【0004】

一方、TFT液晶ディスプレイパネル101は走査線ドライバ101A及びデジタルデータドライバ101B並びに液晶パネル101Cで構成される。走査線ドライバ101AはLCDコントローラ100Dから送信されるタイミングデータに基づいて、走査線（行）方向の表示制御をする。デジタルデータドライバ101Bは、デジタルデータの画像信号を受けとり、処理することができる。デジタルデータドライバ101Bは、LCDコントローラ100Dから送信されるタイミングデータに基づいて、データ線（列）方向の表示制御する。またその際、表示階調も制御する。液晶パネル101CはTFT（薄膜トランジスタ：Thin Film Transistor）を有し、走査線ドライバ101A及びデジタルデータドライバ101Bの制御に基づいて表示を行うパネルである。

【0005】

【発明が解決しようとする課題】

このようなシステムでは、フレームメモリ100Cに一時的に記憶した全画面分の表示データの画像信号をLCDコントローラ100Dがデジタルデータドライバ101Bに送信しなければならない。しかも、順次走査による送信タイミングが決まっているので、例えば、表示を変更しない画素の表示データに対してもタイミングに合わせて画像信号を送信する必要がある。そのため、無駄なデータ送信量が多くなるだけでなく、そのための電力消費も大きく、低消費電力化を図ることができない。

【0006】

そこで、本発明は、低消費電力を図れるような構造をとりつつ、しかも、特に周辺回路をガラス基板上に一体形成する場合に、レイアウトの効率等を考慮した省スペース設計の表示装置を得ることを目的とする。

【0007】

【課題を解決するための手段】

本発明に係る表示装置は、表示の最小単位であるドットに対応させて複数の走査線及び複数のデータ線を格子状に形成し、各交点に能動素子を設け、走査線及びデータ線の駆動により液晶を用いた表示制御をする表示駆動部と、表示駆動部の列方向の長さに対応して割り付けられ、走査線を選択して駆動させる走査線ドライバ部と、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが、表示駆動部の行方向の長さに対応して割り付けられるメモリセル部と、表示駆動部の行方向の長さに対応して割り付けられ、入力される画像信号を記憶させるメモリセルを選択する列デコーダ部と、表示駆動部の行方向の長さに対応して割り付けられ、列デコーダ部の選択と画像信号とに基づいてスイッチングし、列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部と、表示駆動部の行方向の長さに対応して割り付けられ、メモリセル部に記憶された画像信号に基づいてデータ線を駆動させるデータ線ドライバ部とを半導体又は絶縁体の基板上に集積し、一体形成している。

本発明においては、例えばガラス基板や石英基板等の絶縁基板に、多結晶シリコンTFTを用いて、周辺回路を含めて一体形成する場合に、省スペース化を図るため、列デコーダ部、列選択スイッチ部及びデータ線ドライバ部だけでなく、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセル部のメモリセルを、表示駆動部の行方向の長さに対応して割り付けるようにする。

【0008】

また、本発明に係る表示装置の表示駆動部は、液晶を用いた表示制御をする代わりに、表示の最小単位であるドットに対応させて複数の走査線及び複数のデータ線を格子状に形成した各交点に能動素子を設け、走査線及びデータ線の駆動に

より、能動素子に接続された有機EL素子を発光させて表示制御をする。

例えば多結晶シリコンに、有機EL素子を用いて表示制御を行う表示駆動回路を、周辺回路を含めて一体形成する場合に、省スペース化を図るため、列デコーダ部、列選択スイッチ部及びデータ線ドライバ部だけでなく、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセル部のメモリセルを、表示駆動部の行方向の長さに対応して割り付けるようにする。

【0009】

また、本発明に係る表示装置は、複数の走査線及び複数のビット線が設けられ、また、対応する走査線及びビット線の駆動により発光表示制御される有機EL素子が、表示制御の最小単位であるドット毎に備えられ、マトリクス状に形成された表示駆動部と、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが表示部の行方向の長さに基づいて割り付けられ、また各メモリセルがビット線と接続されたメモリセル部と、表示駆動部の行方向の長さに基づいて割り付けられ、入力される画像信号を記憶させるメモリセルを選択する列デコーダ部と、表示駆動部の行方向の長さに基づいて割り付けられ、該列デコーダ部の選択と画像信号とに基づいてスイッチングし、列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部とを半導体又は絶縁体の基板上に集積し、一体形成している。

本発明においては、例えば多結晶シリコンTFTを用いて、有機EL素子を用いて表示制御を行う表示駆動回路を、周辺回路を含めて一体形成する場合に、省スペース化を図るため、列デコーダ部及び列選択スイッチ部だけでなく、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセル部のメモリセルを、表示駆動部の行方向の長さに対応して割り付けるようにする。

【0010】

また、本発明に係る表示装置については、表示部の行方向の長さに基づいて割り付けられる、表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルの数を冗長に構成する。

本発明においては、表示駆動部の 1 行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルの数を冗長に構成しても、それを表示部の行方向の長さに基づいて割り付ける。

【0011】

また、本発明に係る表示装置のメモリセル部は、走査線の数と等しい数だけ設けられた各ワード線に、1 行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを接続して、表示駆動部のドット配列に対応したメモリアレイで構成され、また、ワード線を選択して駆動させるワード線ドライバ部を、さらに基板上に集積し、一体形成するものである。

本発明においては、メモリセル部を表示駆動部のドット配列に対応したメモリアレイで構成するようにし、1 画面分を表示するために必要な画像信号を記憶するようにして、外部とのデータ量のやりとりを少なくして低消費電力を図ることができるような構造にする。また、アレイ構成による記憶を行うために、走査線と等しい数だけ設けたワード線を選択して駆動させるワード線ドライバ部をさらに基板上に集積し、一体形成する。

【0012】

また、本発明に係る表示装置では、表示位置及び記憶位置を示すアドレス信号に基づいて、走査線ドライバ部は走査線を選択し、また、ワード線ドライバ部はワード線を選択する。

本発明においては、アドレス信号により走査線、ワード線をランダムに選択でき、列方向に対する記憶又は表示の自由度を確保する。

【0013】

また、本発明に係る表示装置では、走査線ドライバ部とワード線ドライバ部には同じアドレス信号が入力される。

本発明においては、配線の簡素化を図るために、走査線ドライバ部とワード線ドライバ部で同じ線を共有する。そのため、同じタイミングで同じアドレス信号が入力される。

【0014】

また、本発明に係る表示装置では、走査線ドライバ部とワード線ドライバ部に

は独立したアドレス信号が入力される。

本発明においては、記憶動作及び表示動作の自由度を高めるために走査線ドライバ部とワード線ドライバ部には独立したアドレス信号を入力し、例えば動作タイミングを異ならせる。

【0015】

また、本発明に係る表示装置の走査線ドライバ部は、走査線ドライバ制御信号が入力されている間だけ、アドレス信号に基づいて走査線の選択駆動動作を行い、また、ワード線ドライバ部は、ワード線ドライバ制御信号が入力されている間だけ、アドレス信号に基づいてワード線の選択駆動動作を行うものである。

本発明においては、記憶動作及び表示動作の自由度を高めつつ、配線の簡素化を図るために、走査線ドライバ部は、走査線ドライバ制御信号が入力されている間だけ、アドレス信号に基づいて走査線の選択駆動動作を行い、ワード線ドライバ部は、ワード線ドライバ制御信号が入力されている間だけ、アドレス信号に基づいてワード線の選択駆動動作を行う。

【0016】

また、本発明に係る表示装置の列デコーダ部は、アドレス信号に基づいて、入力される画像信号を記憶させるメモリセルを選択するものである。

本発明においては、列デコーダ部は、アドレス信号により画像信号を記憶させるメモリセルをランダムに選択でき、行方向に対する記憶又は表示の自由度を確保する。

【0017】

また、本発明に係る表示装置においては、光源色である赤、青及び緑を発色表示させるために設けられた3ドットを1画素とし、画像信号は1画素単位で入力され、また、列デコーダ部は、1画素分のメモリセルを選択するものである。

本発明においては、表示装置がカラー表示を行う場合、光源色である赤、青及び緑を発色表示させるために設けられた3ドットを1画素として、表示の変更単位となる、1画素単位で画像信号を入力するようにし、列デコーダ部は、その入力に基づいて1画素分のメモリセルを選択する。

【0018】

また、本発明に係る表示装置においては、光源色である赤、青及び緑を発色表示させるために設けられた 3 ドットを 1 画素とし、画像信号は複数画素単位で入力され、また、列デコーダ部は、複数画素分のメモリセルを選択するものである。

本発明においては、表示装置がカラー表示を行う場合、駆動周波数を低下させるために、光源色である赤、青及び緑を発色表示させるために設けられた 3 ドットを 1 画素として、複数画素単位で画像信号を入力するようにし、列デコーダ部は、その入力に基づいて複数画素分のメモリセルを選択する。

【 0 0 1 9 】

また、本発明に係る表示装置では、メモリセル部に記憶させる画像信号の入力配線及び列選択スイッチ部は、メモリセル部を挟んで表示駆動部と反対側に形成される。

本発明においては、配線の交差を少なくして低消費電力を図り、またスイッチング等の影響によるノイズ重畳を防ぐため、画像信号の入力配線及び列選択スイッチ部は、メモリセル部を挟んで表示駆動部と反対側に形成する。

【 0 0 2 0 】

また、本発明に係る表示装置のメモリセル部は、表示駆動部の行方向の長さに対応させてメモリセルが割り付けられ、多段構成で形成される。

本発明においては、例えば階調数増加による 1 ドット分のメモリセル増加により、表示駆動部の行方向の長さに対応させてメモリセルが割り付けられない場合に、多段にして構成し、形成する。

【 0 0 2 1 】

また、本発明に係る表示装置は、走査線の数の整数倍の数のワード線を設け、メモリセル部は、表示駆動部の 1 行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを、整数倍の数のワード線に分けて接続させたメモリアレイで構成され、形成される。

本発明においては、例えば階調数増加による 1 ドット分のメモリセル増加により、表示駆動部の行方向の長さに対応させてメモリセルが割り付けられない場合に、複数行にして構成し、形成する。

【 0 0 2 2 】

また、本発明に係る表示装置のメモリセル部は、表示駆動部の複数行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを表示駆動部の行方向の長さに対応させて割り付けたメモリアレイで構成され、形成される。

本発明においては、表示駆動部の行方向の長さに対応させて複数行分のメモリセルが割り付けられる場合は、省スペース化を図るため、表示駆動部の複数行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを表示駆動部の行方向の長さに対応させて割り付けたメモリアレイで構成し、形成する。

【 0 0 2 3 】

また、本発明に係る表示装置は、アドレス信号を送信するタイミングを制御するタイミングコントローラ部と、画像信号の送信を制御するメモリコントローラ部とをさらに基板上に集積し、一体形成するものである。

本発明においては、表示を制御するのに必要な周辺回路を全てシステムティックに同一基板上に一体形成する。

【 0 0 2 4 】

【発明の実施の形態】

実施の形態 1.

図 1 は本発明の第 1 の実施の形態に係る表示装置を含めたシステムの概念を表すブロック図である。図 1 はシステムオンパネル（SOP）と呼ばれる概念を表している。SOPとは、表示を行うための周辺回路等をガラス基板に、しかも IC 等のチップを用いずに、多結晶シリコン等を用いて TFT 等と周辺回路を一体形成しようとする概念である。そのため、パネルを CPU と直結することができ、また低コスト、高信頼性、省スペース化を図ることができる。

【 0 0 2 5 】

図 1 において、デジタルインターフェース 110 は表示データを送信する CPU 110A で構成されている。また、パネル 1 はアクティブマトリックス LCD 部 2、走査線ドライバ 3、デジタルデータドライバ 4、フレームメモリ部 5、メモリコントローラ 6 及びタイミングコントローラ 7 で構成されている。

【 0 0 2 6 】

図2はパネル1を詳細に表した図である。アクティブマトリックスLCD部2は、TFT、ダイオード等のアクティブ素子を用いて実際に表示を行う部分である。アクティブマトリックスLCD部2には、 $i \times j$ 個の画素が並べられている。本実施の形態はカラーディスプレイを想定しているので、光源色であるR (Red)、G (Green) 及びB (Blue) の3ドット (サブ画素ともいう) を1画素として構成する。モノクロディスプレイの場合は画素=ドットである。それぞれのドットのエリアには、データ線と走査線及びこれらの交点に配置されたアクティブ素子 (例えばトランジスタ、ダイオード等によるスイッチング素子) が含まれる。このアクティブ素子にはそれぞれ画素電極がついており、対向電極との間に液晶を介した容量を形成している。画素電極と対向電極との間に印加される電圧で、液晶の分子による施光性を制御し、各ドットの表示制御を行う。しかも、アクティブ素子がスイッチをオフしても、画素電極は、蓄えた電荷により次のリフレッシュ時 (表示データ書き換え時) までその表示状態を維持させることができる。アクティブ素子のスイッチング動作や画素電極への電荷供給の制御は、データ線と走査線とを駆動させて (電流を供給して) 行われる。

【0027】

走査線を駆動させる制御を行うのが走査線ドライバ3である。走査線ドライバ3は行デコーダ31及び走査線駆動バッファ32で構成されている。行デコーダ31は、入力されるアドレスデータに基づいて駆動させる走査線を選択する。走査線駆動バッファ32は、行デコーダ31が選択した走査線を実際に駆動させる。

【0028】

一方、データ線を駆動させる制御を行うのがデジタルデータドライバ4である。デジタルデータドライバ4はkビットDAC部41で構成されている。ここで、kビットDAC部41の動作を説明する前にフレームメモリ部5について説明する。

【0029】

フレームメモリ部5は、列デコーダ51、入力制御回路52、列選択スイッチ部53、メモリ行デコーダ54、ワードドライバ55、メモリセル部56及びセ

ンスアンプ部 5 7 で構成される。列デコーダ 5 1 は、入力されるアドレスデータに基づいて、1 行（ライン）分（ j 個）の画素から 1 つの画素を選択する。これが、ひいては駆動させるデータ線を選択することにもなる。入力制御回路 5 2 は、メモリコントローラ 6 から並列送信された 1 画素分の画像信号（ $k \times 3$ ）の制御を行う回路である。列選択スイッチ部 5 3 は、1 画素の画像信号（ $k \times 3$ ）を単位として 1 ラインの画素の数だけ（つまり $k \times 3 \times j$ ）設けられている。各列選択スイッチは、列デコーダ 5 1 の選択及び画像信号に基づいてスイッチングし、ビット線を駆動させる。ここで、入力制御回路 5 2 と列選択スイッチ部 5 3 とは、メモリセル部 5 6 を挟んでアクティブマトリックス LCD 部 2 の反対側に配置するようにする。そのため、配線の交差が少なくなり、簡素で低消費電力化が図られる。しかも、入力制御回路 5 2 及び列選択スイッチ部 5 3 の動作により、アナログ駆動の LCD 2 にノイズを重畳させることがなくなるので、表示の低ノイズ化を図ることができる。

【0030】

メモリ行デコーダ 5 4 は、入力されるアドレスデータに基づいて、後述するようにメモリアレイを構成するメモリセル部 5 6 のあるメモリセルに記憶させるためにワード線を選択する。ワードドライバ 5 5 は、メモリ行デコーダ 5 4 が選択したワード線を実際に駆動させる。したがって、メモリ行デコーダ 5 4 が選択したワード線と接続された、列デコーダ 5 1 が選択した画素に対応する $k \times 3$ 個のメモリセルにその画素の表示データとして画像信号が記憶されることになる。

【0031】

また、メモリセル部 5 6 は $k \times 3 \times i \times j$ の数のメモリセルを有し、 i 行 $k \times 3 \times j$ 列のメモリアレイを構成している。このメモリセルの数は、1 画面が $i \times j$ 画素のディスプレイに対して、R、G、B の各ドットを 2^k の階調の明るさで表示するために必要な数である。図 2 では $k = 3$ とし、8 階調の明るさが設定できる。このメモリセルの数は、1 画面分の画像信号を記憶するために少なくとも必要なメモリセル数である。例えば、回路によっては、動作安定性を確保する必要性からメモリセルを冗長にもたせて回路構成する場合がある。

【0032】

ここで、ガラス基板の大きさと実際の表示部分であるアクティブマトリックスLCD部2の大きさとが同じになればなるほど省スペース化が図れたことになる。つまり、メモリセル部56の行方向の長さがアクティブマトリックスLCD部2の行方向の長さ以下になるようにメモリセルを配列すると、最も効率よく、省スペース幅で1列分のメモリセルが配列できることになる。したがって、1ドットの表示を制御するのに必要なメモリセルを並べた行方向の長さが、各ドットのピッチ以下であると、フレームメモリ部5全体の行方向の長さがアクティブマトリックスLCD部2の行方向の長さ以下となる。そこで、図2ではkビット分のメモリセルを並べたときの行方向の長さを、各ドットのピッチと等しくなるように設計している。また、センスアンプ部57の各センスアンプ（又は選択スイッチ）の及びkビットDAC部4Gの各kビットDACについても、各ドットのピッチに基づいて設計している。

【0033】

また、メモリアレイの行数を走査線数であるiと同じにしてフレームメモリ部5が1画面分の表示データを記憶することができるようにする。そのため、各表示位置の画素と各ドット毎に設けたメモリセルとを対応させて記憶させることができる。省スペース化だけを図ろうとするならば、少なくとも1行分のメモリセルを有していればよく、特に走査線数分の行数のメモリアレイを構成する必要はない。ただ、システム全体としてデータの送信量を少なくし、低消費電力を図るためには、1画面分の表示データを対応させて記憶できるだけのメモリセルが必要となるのである。したがって、CPU110Aからは書き換える画素の表示データ分の画像信号を送信すればよく、書き換えを行わなければ、メモリセル部56に記憶された画像信号のデータを、デジタルデータドライバ4はそのまま扱えばよい。

【0034】

センスアンプ部57を構成する各センスアンプは各列毎（ビット線）毎に接続されている。ここで、センスアンプを用いるのは、メモリセル部56の各メモリセルがダイナミックメモリで構成されている場合である。スタティックメモリで構成されている場合はセンスアンプではなく、選択スイッチを用いて構成する。

【0035】

デジタルデータドライバ4を構成する k ビットDAC部41は $3 \times j$ 個の k ビットDACで構成される。各 k ビットDACには、ある k 個のメモリセルに記憶された画像信号に基づくデジタルデータが k 本のビット線から入力される。 k ビットDACは、そのデータに基づいた値を階調に変換し、その階調に応じてデータ線を駆動させる。LCDにおいては、液晶の寿命を延ばすという目的から交流駆動を行う必要がある。したがって、デジタルデータをそのまま用いることができず、アナログ変換を行わなければならないのである。このようにして、駆動した走査線とデータ線との交点のドットにおいて、表示データに基づく表示制御が行われることになる。

【0036】

ここで、本発明におけるデジタルデータドライバ4とフレームメモリ部5とは直結（一体化）し、記憶されたデジタルデータを直接用いてデータ線の駆動動作を行っている。したがって、便宜上（図1との関連上）、デジタルデータドライバ4を k ビットDAC部41で構成し、フレームメモリ部5を列デコーダ51、入力制御回路52、列選択スイッチ部53、メモリ行デコーダ54、ワードドライバ55、メモリセル部56及びセンスアンプ部57で構成しているが、従来のデジタルデータドライバとフレームメモリとの動作の関係から考えると、実際にはこのような区別は厳密にはできない。

【0037】

メモリコントローラ6は、CPU110Aから送信される表示データをフレームメモリ部5に格納するため、 $k \times 3$ の画像信号として制御する。また、タイミングコントローラ7は、少なくともアドレスバッファ71を有し、CPU110Aから送信される表示データを記憶や表示をさせるために、行デコーダ31、列デコーダ51及びメモリ行デコーダ54にアドレス信号を送信する。

【0038】

メモリをチップ等で構成した場合には、チップ内にいかに細密充填ができ、かつ配線等を考慮したレイアウトできるかが問題となる。メモリ等の周辺回路をガラス基板上に構成する場合は、それとは発想が異なる。ガラス基板において、最

も大きな面積を占めるのは、実際の表示部分となるアクティブマトリックスLCD部2である。しかもその画素ピッチ（ひいては全体の大きさ）は決まっている。したがって、その大きさにあわせて、いかに効率よく周辺回路等、システムをレイアウトするかが問題となる。消費電力を考慮せずに省スペース化を考えるならメモリセルを少なくすることもできるが、低消費電力を図るには、1画面分のデータを記憶できるだけのメモリセルが必要である。そこで、本実施の形態は、低消費電力化を図るために周辺回路を設定した上で、最も効率のよいレイアウトを示そうとするものである。

【0039】

次に図2に基づいて表示動作について説明する。CPU110Aは、表示を変更する場合に表示データを送信する。したがって、画像が変化しない場合には表示データの送信は行わない。表示を変更する際には、表示を変更する位置（画素）を示すアドレス信号を送信する。また、表示データの画像信号を送信する。ここで、フレームメモリ部5には、走査線に対応させた数のワード線を設け、それぞれのドットに対応した1画面分の表示データ（画像信号）を記憶できるようにした。しかも行デコーダ31、メモリ行デコーダ54を設けて走査線、ワード線を選択できるようにした。そのため、順次走査する必要がなく、アドレス信号に応じたランダムな走査線を選択及び駆動ができ、表示データを必要に応じて書き換える際に都合がよい。また、配線の簡素化及び回路面積縮少による省スペース化を図るために、同じアドレス信号が行デコーダ31及びメモリ行デコーダ54に入力され、それぞれ対応する部分に同じタイミングで記憶、表示を行うようにする。列デコーダ51についても、アドレス信号に応じてランダムな画素の選択ができるので、同一走査線上の画素（ドット）に順次書き込んでいく必要はなく、ランダムな書き込みを行える。

【0040】

表示を変更しない場合には、フレームメモリ部5に記憶された画像信号のデジタルデータをそのまま用いて表示を行い、CPU110Aとはデータのやりとりはしない。ただし、LCDは前述したように交流駆動しなければならないので、画素反転駆動を用いて、少なくとも必要最低限の周波数でリフレッシュしながら

駆動する必要がある。この制御は走査線ドライバ 3 及びデジタルデータドライバ 4 により行われる。周波数を低下させると、低消費電力を図ることができるが、突き抜け電圧等によるフリッカー（ちらつき）が生じる。そこで、低消費電力を図りつつ、フリッカーを目立たなくするには、例えば、静止画であれば 3 0 H z の周波数でリフレッシュ（液晶は 1 5 H z 駆動である）して表示状態を維持する。

【 0 0 4 1 】

フレームメモリ部 5 に関しても、メモリセルをスタティックメモリで構成していればデータ書き換えを行う（リフレッシュする）必要はないが、ダイナミックメモリで構成していれば、記憶が保持できるようなタイミングでリフレッシュする必要がある。

【 0 0 4 2 】

以上のように第 1 の実施の形態によれば、S O P のように、表示部分だけでなく、周辺回路を含めたシステムを基板上に一体形成しようとする場合に、フレームメモリ部 5 のメモリセル部 5 6 において、1 ドットの表示を制御するのに必要な分のメモリセルを並べたときの行方向の長さが、各ドットのピッチ以下になるように、つまりメモリセル部 5 6 の行方向の長さがアクティブマトリックス L C D 部 2 の行方向の長さ以下になるようにメモリセルを配列するように形成したので、効率よく、省スペース幅で 1 行分のメモリセルが配列できる。また、センスアンプ部 5 7 及び k ビット D A C 部 4 G についても、同様にしたので、省スペース化が図れる。また、メモリアレイの行数を走査線数と同じ（i 個）にしてフレームメモリ部 5 が 1 画面分の表示データ（画像信号）を記憶することができるようにしたので、各位置の画素とメモリセル部 5 6 のメモリセルとを対応させて 1 画面分のデータを記憶させることができ、C P U 1 1 0 A からは、書き換える画素の表示データ分の画像信号だけを送信すればよいので、システム全体としてデータの送信量を少なくし、低消費電力を図つつ、最も効率よく、省スペースな形成を行える。また、行デコーダ 3 1、メモリ行デコーダ 5 4 を設け、アドレス信号に基づいて駆動させる走査線、ワード線を選択できるようにしたので、順次走査する必要がなく、アドレス信号に応じたランダムな走査線の選択及び駆動がで

き、表示データを必要に応じて書き換える際に都合がよい。

【0043】

また、同じアドレス信号が行デコーダ31及びメモリ行デコーダ54に入力され、それぞれ対応する部分に同じタイミングで記憶、表示を行うようにしたので、配線の簡素化及び回路面積縮小による省スペース化を図ることができる。また、列デコーダ51についても、アドレス信号に応じてランダムな画素の選択ができるので、同一走査線上の画素（ドット）に順次書き込んでいく必要はなく、ランダムな書き込みを行え、表示データを必要に応じて書き換える際に都合がよい。また、入力制御回路52及び列選択スイッチ部53をメモリセル部56を挟んでアクティブマトリックスLCD部2の反対側に配置するようにしたので、配線の交差が少なくなり、簡素で低消費電力化が図られる。しかも、入力制御回路52及び列選択スイッチ部53の動作により、アナログ駆動のLCD2にノイズを重畳させることがなく、表示の低ノイズ化を図ることができる。さらに、メモリコントローラ6及びタイミングコントローラ7についても、パネル1に一体形成するようにしたので、パネル1をCPU110Aと直結することができる、システム全体を低コスト、高信頼性、省スペース化することができる。

【0044】

実施の形態2.

図3は本発明の第2の実施の形態に係るパネル1Aを詳細に表した図である。図3のパネル1Aが、図2のパネル1と異なっている点は、行デコーダ31とメモリ行デコーダ54とにそれぞれ独立してアドレス信号を入力させる点である。そのため、記憶動作のタイミングと表示動作とのタイミングとを異ならせることができる。駆動周波数は記憶及び表示動作を同時タイミングで行うよりも高くなるが、例えば、あるタイミングでメモリ行デコーダ54にアドレスデータを送信して記憶動作を行わせた後、次のタイミングで行デコーダ31にアドレスデータを送信して表示させたりする等様々な駆動を行わせることができる。

【0045】

以上のように第2の実施の形態によれば、行デコーダ31とメモリ行デコーダ54とにそれぞれ独立してアドレス信号を入力させるようにしたので、駆動方法

の選択に対する自由度を高めることができる。

【 0 0 4 6 】

実施の形態 3.

図 4 は本発明の第 3 の実施の形態に係るパネル 1 B を詳細に表した図である。図 4 のパネル 1 B が、図 2 のパネル 1 と異なっている点は、アドレスバッファ 7 1 から行デコーダ 3 1 A とメモリ行デコーダ 5 4 A とにそれぞれ走査線選択制御信号線、ワード線選択制御信号線が配線され、走査線選択制御信号、ワード線選択制御信号が送信される点である。行デコーダ 3 1 A とメモリ行デコーダ 5 4 A には同じアドレス信号が入力される。ただ、行デコーダ 3 1 A は走査線選択制御信号が ON されている期間しか走査線を選択することができない。また、メモリ行デコーダ 5 4 A も同様に、ワード線選択制御信号が ON されている期間しかワード線を選択することができない。そのため、これらの信号の ON、OFF の制御によっては、記憶動作と表示動作とを異なるタイミングで行うことができる。

【 0 0 4 7 】

以上のように第 3 の実施の形態によれば、走査線選択制御信号に基づいて行デコーダ 3 1 A の走査線選択期間を制限し、また、ワード線選択制御信号に基づいてメモリ行デコーダ 5 4 A のワード線選択期間を制限するようにしたので、記憶動作及び表示動作の駆動方法の選択に対する自由度を高めることができる。そのため、方法によっては様々な駆動制御を行うことができる。

【 0 0 4 8 】

実施の形態 4.

図 5 は本発明の第 4 の実施の形態に係るパネル 1 C を詳細に表した図である。図 5 のパネル 1 C が、図 4 のパネル 1 B と異なっている点は、 $k = 6$ のような場合を考慮して列選択スイッチ部 5 3 A、センスアンプ部 5 7 A 及びメモリセル部 5 6 A をレイアウトした点である。また列デコーダ 5 1 A 及び入力制御回路 5 2 A は、 $k = 6$ により、それぞれ列デコーダ 5 1、入力制御回路 5 2 に比べ、2 倍の信号を扱う（図 2 のパネル 1 とは、この他に走査線選択制御信号線及びワード線選択制御信号線がある点で異なる）。前述したように、メモリセル部 5 6 の行方向の長さがアクティブマトリックス LCD 部の行方向の長さ以下になるように

メモリセルを配列すると、最も効率よく、省スペース幅で1列分のメモリセルが配列できることになる。したがって、 k ビット分のメモリセルを行方向に並べた長さが、各ドットのピッチ以下になるように並べるのが理想的ではある。しかし、階調幅を拡げようとするとき k の値は大きくなる（ $k=6$ だと64階調となり、約26万色の表示ができる）。つまり、1ドット分のデータを記憶させるためのメモリセルの数が多くなる。そのため、 k ビット分のメモリセルをそのまま並べると、ドットのピッチより広くなることが考えられる。そこで、本実施の形態は、メモリセル部56Aにおいて、メモリアレイを多段構成とし、メモリセル部56Aの行方向の長さがアクティブマトリックスLCD部2の行方向の長さ以下になるようにメモリセルを配列するようにレイアウトし、一体形成を行う。

【0049】

また、別の考え方として、メモリアレイの行数を走査線数の整数倍にし、1ドット分のメモリセルを複数行で構成することも考えられる。この場合、 k ビットDAC部41はデジタルデータを時分割して処理し、データ線を駆動させる。

【0050】

以上のように第4の実施の形態によれば、 k ビット分のメモリセルを行方向に並べた長さが、各ドットのピッチ以下にすることができない場合に、メモリアレイを多段構成とし、メモリセル部56Aの行方向の長さがアクティブマトリックスLCD部2の行方向の長さ以下になるように配列するようにレイアウトし、一体形成を行うようにしたので、メモリセル部56Aと k ビットDAC部41との配線を容易にしつつ、省スペース化を図ることができる。

【0051】

実施の形態5.

図6は本発明の第5の実施の形態に係るパネル1Dを詳細に表した図である。図6のパネル1Dが、図4のパネル1Bと異なっている点は、メモリセル部56Bにおけるメモリセルの配置である。また、2画素分の画像信号が同時に入力され、列デコーダ51Bが2画素を同時に選択できる点である。さらに入力制御回路52A及び列選択スイッチ部53Aは、それぞれ入力制御回路52、列選択スイッチ部53Aに比べ、2倍の信号を扱う。

【 0 0 5 2 】

第 4 の実施の形態では、 k ビット分のメモリセルを並べた長さが画素ピッチより長くなる場合について説明した。逆に複数画素（ドット）分のメモリセルを並べた長さが 1 画素（ドット）分のピッチ以下であるならば、複数画素（ドット）分のメモリセルを 1 画素（ドット）分のピッチに対応させて並べてレイアウトし、一体形成を行うことで、より省スペース化を図ることができる。ただし、この場合でも、ワード線は共有するのではなく、あくまで走査線と同数のワード線を設けて、各ドットに対応させたメモリセルを設けておくようにする。ただ、この場合は、センスアンプ部 5 7 の共有は可能である。

【 0 0 5 3 】

また、図 2 ～図 5 のように、第 1 ～第 4 の実施の形態では列デコーダ 5 1 は 1 画素を選択するような構成であった。しかし、本発明はこれに限るものではなく、整数倍を同時に選択できるようにしてもよい。この場合には、画像信号はその倍数に比例して入力されることになる。

【 0 0 5 4 】

以上のように第 5 の実施の形態によれば、複数画素（ドット）分のメモリセルを並べた長さが 1 画素（ドット）分のピッチ以下である場合に、複数画素（ドット）分のメモリセルを 1 画素（ドット）分のピッチに対応させて並べてレイアウトし、一体形成を行うようにしたので、より省スペース化を図ることができる。しかもセンスアンプ部 5 7 は共有できる。また列デコーダ 5 1 1 が 2 画素を同時に選択できるようにしたので、配線としては複雑になるが、駆動周波数を低下させることができ、低消費電力化を図ることができる。また、単結晶 F E T よりも特性が劣るアクティブ素子で駆動させても十分な動作が得られる。

【 0 0 5 5 】

実施の形態 6.

図 7 は本発明の第 6 の実施の形態に係るパネル 1 E を詳細に表した図である。図 7 のパネル 1 E が、図 2 のパネル 1 と異なっている点は、実際に表示を行う部分である部分がアクティブマトリクス O E L 部 8 となっている点である。また、 k ビット D A C 部 4 1 を用いていない点である。

【 0 0 5 6 】

O E L (Organic Electro Luminescent) とは、有機 E L 素子のことである。
この O E L 素子は液晶とは異なり自発光素子である。そのため、次のような特徴を有し、ディスプレイの分野や他の分野で期待されている素子である。

- (1) 視野角が広い
- (2) 軽量薄型化が可能
- (3) コントラスト比が高い
- (4) 低消費電力 (バックライトの必要なし)
- (5) 分子設計によるマルチカラーの可能性
- (6) 電流駆動のため高精細表示が可能

【 0 0 5 7 】

図 8 はアクティブマトリクス O E L 部 8 の回路配置を示す図である。図 8 は 2 画素分の配置を示している。前述したように、L C D においては液晶の寿命を延ばすという目的から交流駆動を行う必要がある。したがって、デジタルデータをそのまま用いることができず、必ず、アナログ変換を行わなければならない。通常、O E L を発光させる場合も、デジタルデータのアナログ変換を行い、例えば 2 トランジスタ方式を用いて、変換したアナログ信号 (データ) を容量等に保持する。そして、トランジスタのアンプの出力電流を、その変換したアナログデータで制御し、O E L の発光制御をする。ただ、O E L は直流で駆動 (D C 駆動) する。一方、図 8 のように、各メモリセルに記憶された画像信号のようなデジタルデータをそのまま扱うこともできる。

【 0 0 5 8 】

次にフレームメモリに記憶された表示データを表示させる方法について R 1 (1 列目の画素の R) のドットを例にして説明する。R 1 には 8 階調を表すために 7 つの O E L 素子が設けられている。そして、その 7 つの O E L 素子は、それぞれ 1 つの O E L 素子、2 つの O E L 素子、4 つの O E L 素子に分けられ、各ビット線と対応した R 1 S、R 1 T、R 1 U と接続されている。階調の差は発光面積で表される。したがって、階調 0 の時は R 1 S、R 1 T、R 1 U を駆動させず、どの素子も発光させない。階調 1 の時は R 1 S を駆動し、1 つの O E L 素子を発

光させる。同様に、階調 2 の時は R 1 T を駆動して 2 つの O E L 素子を発光させ、階調 3 の時は R 1 S と R 1 T を駆動して、3 つの O E L 素子を発光させる。この組み合わせにより、階調を表現するのである。これは、G 及び B のドットに関しても同様である。

【 0 0 5 9 】

ここで、O E L は D C 駆動でよいので表示を変更させる必要がない場合は、通常、反転駆動等によるリフレッシュは必要がない。ただ、図 8 ではダイナミック回路を用いているので、表示に変更がなくても、一定期間毎にフレームメモリ部 5 の各メモリセルに記憶されたデータに基づいてリフレッシュし、表示を維持する必要がある。

【 0 0 6 0 】

図 8 は第 1 の実施の形態である図 2 に対応させて記載しているが、第 2 ～第 5 の実施の形態のそれぞれのパネルを採用した表示装置にアクティブマトリクス O E L 部 8 を適用できるのはもちろんいうまでもないことである。

【 0 0 6 1 】

以上のように第 6 の実施の形態によれば、表示に自発光素子である O E L 素子を用いるようにしたので、第 1 ～第 5 の実施の形態における効果を得られるだけでなく、バックライト不要による低消費電力や軽量化等を図ることができる。しかも、フレームメモリ部 5 に記憶するデジタルデータをアナログ変換することなくそのまま用いて階調表示をすることも可能なので、D A C のような回路を用いなくてもよく、周辺回路の省スペース化を図ることができる。

【 0 0 6 2 】

実施の形態 7.

なお、上述の実施の形態は、カラーディスプレイを前提に説明したが、本発明はモノクロディスプレイにも対応できる。

【 0 0 6 3 】

【発明の効果】

以上のように本発明によれば、例えば多結晶シリコン上に T F T だけでなく、周辺回路を含めて一体形成する場合に、列デコーダ部、列選択スイッチ部及びデ

ータ線ドライバ部だけでなく、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセル部のメモリセルを、表示駆動部の行方向の長さに対応して割り付けるようにしたので、効率よく、省スペース幅で1列分のメモリセルが配列できる。

【0064】

例えば有機EL素子を用いて表示制御を行う表示駆動回路を、周辺回路を含めて多結晶シリコン上に一体形成する場合に、列デコーダ部、列選択スイッチ部及びデータ線ドライバ部だけでなく、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセル部のメモリセルを、表示駆動部の行方向の長さに対応して割り付けるようにしたので、効率よく、省スペース幅で1列分のメモリセルが配列できる。

【0065】

また、本発明によれば、例えば多結晶シリコン上に、有機EL素子を用いて表示制御を行う表示駆動回路を周辺回路を含めて一体形成する場合に、列デコーダ部及び列選択スイッチ部だけでなく、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセル部のメモリセルを、表示駆動部の行方向の長さに対応して割り付けるようにしたので、効率よく、省スペース幅で1列分のメモリセルが配列できる。また、有機EL素子はDC駆動するので、デジタル信号である画像信号を直接用いることもできるので、例えばDACのような回路を設ける必要がなくなる。

【0066】

また、本発明によれば、表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルの数を冗長に構成しても、それを表示部の行方向の長さに基づいて割り付けるようにしたので、効率よく、省スペース幅を図ることができる。

【0067】

また、本発明によれば、走査線と等しい数だけ設けたワード線を選択して駆動させるワード線ドライバ部をさらに基板上に集積して一体形成し、メモリセル部を表示駆動部のドット配列に対応したメモリアレイで構成するようにし、1画面

分を表示するために必要な画像信号を記憶するようにしたので、外部とのデータ量のやりとりを少なくして低消費電力を図ることができる。

【0068】

また、本発明によれば、走査線ドライバ部、ワード線ドライバ部はアドレス信号に基づいて駆動させる走査線、ワード線を選択できるようにしたので、順次走査する必要がなく、アドレス信号に応じたランダムな走査線を選択及び駆動ができ、表示データを必要に応じて書き換える際に都合がよい。

【0069】

また、本発明によれば、走査線ドライバ部とワード線ドライバ部同じ線を共有するようにしたので、配線の簡素化及び回路面積縮少による省スペース化を図ることができる。

【0070】

また、本発明によれば、走査線ドライバ部とワード線ドライバ部には独立したアドレス信号を入力するようにしたので、記憶動作及び表示動作の自由度を高めることができる。

【0071】

また、本発明によれば、走査線ドライバ部は、走査線ドライバ制御信号が入力されている間だけ、アドレス信号に基づいて走査線を選択駆動動作を行い、ワード線ドライバ部は、ワード線ドライバ制御信号が入力されている間だけ、アドレス信号に基づいてワード線を選択駆動動作を行うようにしたので、記憶動作及び表示動作の駆動方法の選択に対する自由度を高めることができる。そのため、方法によっては様々な駆動制御を行うことができる。

【0072】

また、本発明によれば、列デコーダ部は、アドレス信号により画像信号を記憶させるメモリセルをランダムに選択できるようにしたので、同一走査線上のドットに順次書き込んでいく必要はなく、ランダムな書き込みを行え、表示データを必要に応じて書き換える際に都合がよい。

【0073】

また、本発明によれば、1画素単位で画像信号を入力するようにし、列デコー

ダ部は、その入力に基づいて表示の変更単位となる 1 画素分のメモリセルを選択するようにしたので、都合がよい。

【 0 0 7 4 】

また、本発明によれば、複数画素単位で画像信号を入力するようにし、列デコーダ部は、その入力に基づいて複数画素分のメモリセルを選択するようにしたので、配線としては複雑になるが、駆動周波数を低下させることができ、低消費電力化を図ることができる。また、単結晶 F E T よりも特性が劣るアクティブ素子で駆動させても十分な動作が得られる。

【 0 0 7 5 】

また、本発明によれば、画像信号の入力配線及び列選択スイッチ部は、メモリセル部を挟んで表示駆動部と反対側に形成するようにしたので、配線の交差を少なくして低消費電力を図り、またスイッチング等の影響による表示画面のノイズ重畳を防ぐことができる。

【 0 0 7 6 】

また、本発明によれば、多段構成にして構成し、形成するようにしたので、例えば階調数増加による 1 ドット分のメモリセル増加により、表示駆動部の行方向の長さに対応させてメモリセルが割り付けられない場合にも配線を容易にしつつ、省スペース化を図ることができる。

【 0 0 7 7 】

また、本発明によれば、複数行により構成したので、例えば階調数増加による 1 ドット分のメモリセル増加により、表示駆動部の行方向の長さに対応させてメモリセルが割り付けられない場合に、列方向の長さが広がるものの、行方向の長さを抑えることができる。

【 0 0 7 8 】

また、本発明によれば、表示駆動部の行方向の長さに対応させて複数行分のメモリセルが割り付けられる場合は、表示駆動部の複数行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを表示駆動部の行方向の長さに対応させて割り付けたメモリアレイで構成し、形成するようにしたので、より省スペース化を図ることができる。

【 0 0 7 9 】

また、本発明によれば、アドレス信号を送信するタイミングを制御するタイミングコントローラ部と、画像信号の送信を制御するメモリコントローラ部とをさらに基板上に集積し、一体形成し、表示を制御するのに必要な周辺回路を全てシステムティックに同一基板上に一体形成するようにしたので、システム全体を低コスト、高信頼性、省スペース化することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る表示装置を含めたシステムの概念を表すブロック図である。

【図 2】

パネル 1 を詳細に表した図である。

【図 3】

本発明の第 2 の実施の形態に係るパネル 1 A を詳細に表した図である。

【図 4】

本発明の第 3 の実施の形態に係るパネル 1 B を詳細に表した図である。

【図 5】

本発明の第 4 の実施の形態に係るパネル 1 C を詳細に表した図である。

【図 6】

本発明の第 5 の実施の形態に係るパネル 1 D を詳細に表した図である。

【図 7】

本発明の第 6 の実施の形態に係るパネル 1 E を詳細に表した図である。

【図 8】

アクティブマトリクス O E L 部 8 の回路配置を示す図である。

【図 9】

T F T ディスプレイによる表示装置により表示を行うためのシステムのブロック図である。

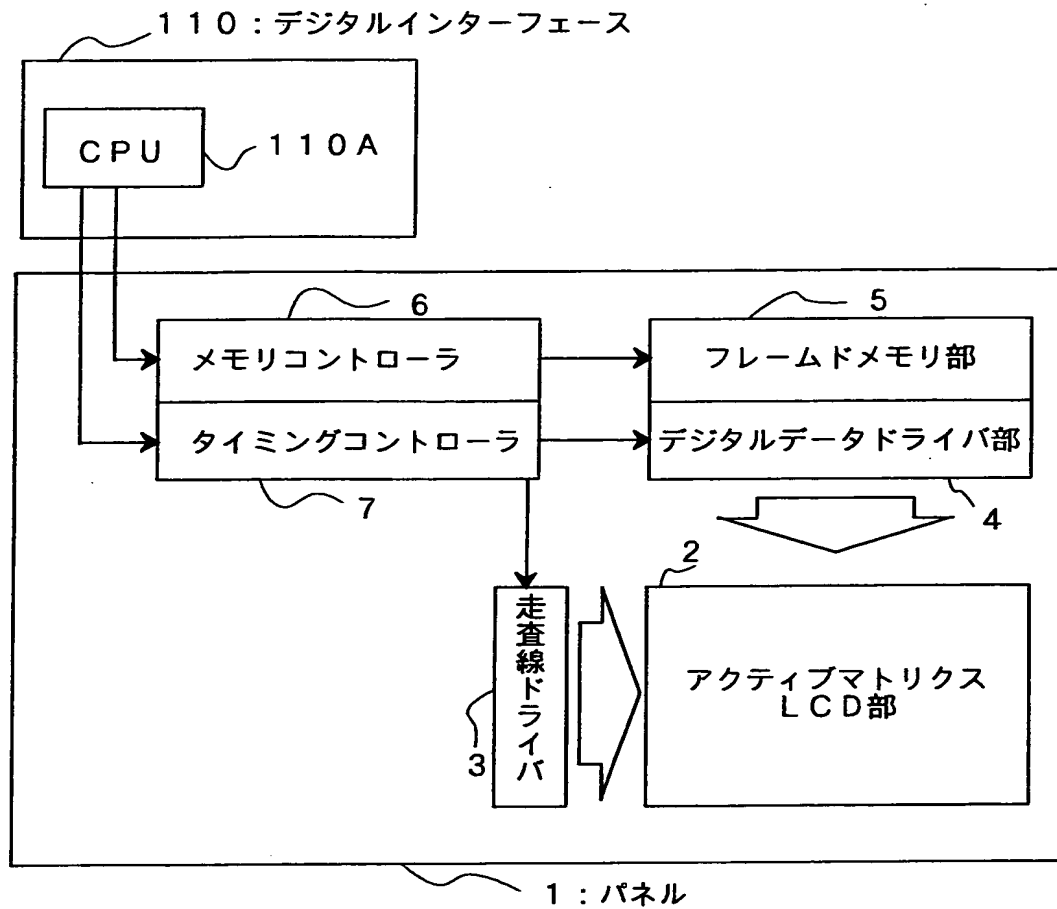
【符号の説明】

1、1 A、1 B、1 C、1 D、1 E パネル

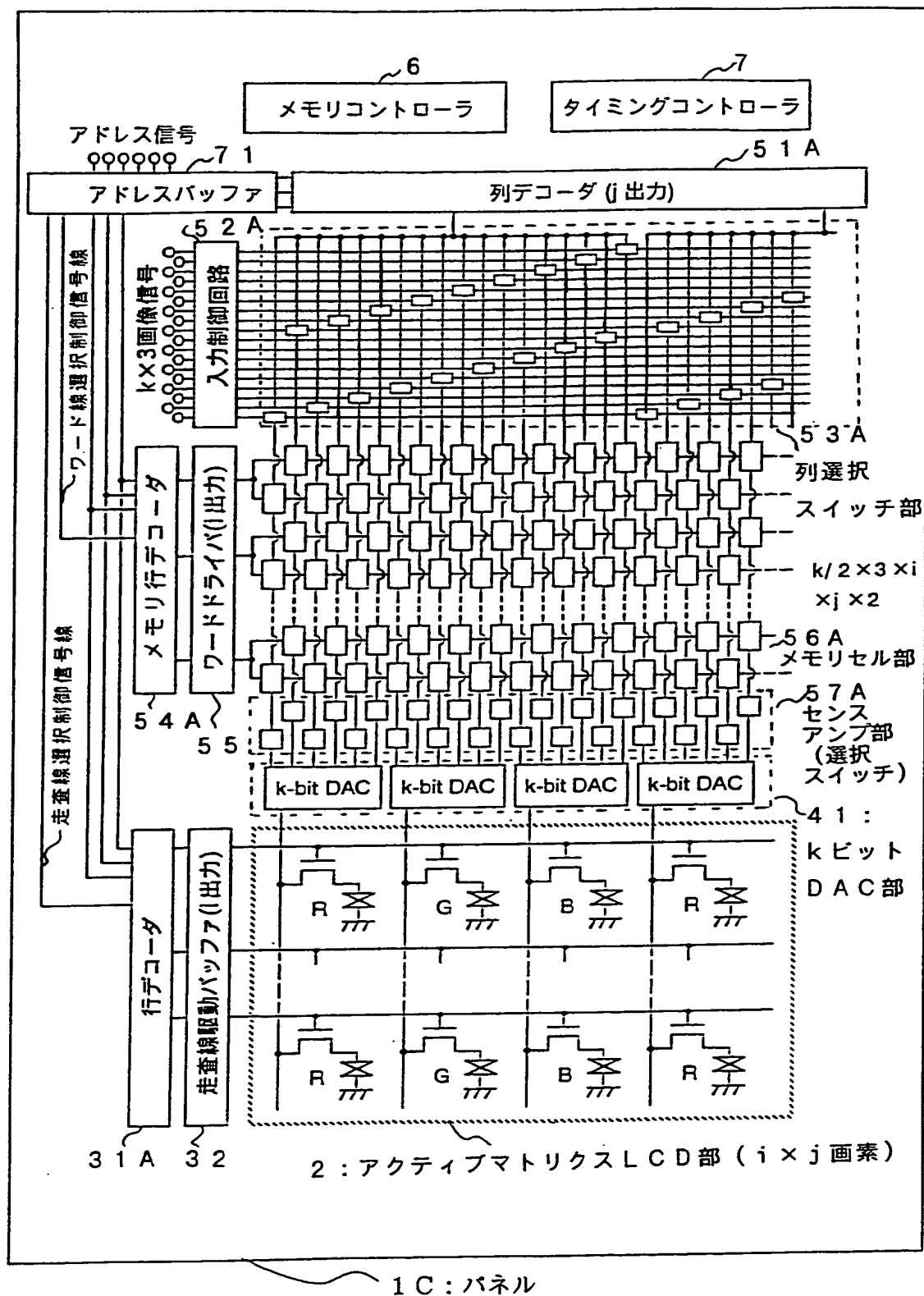
- 2 アクティブマトリクスLCD部
- 3 走査線ドライバ
 - 3 1、3 1 A 行デコーダ
 - 3 2 走査線駆動バッファ
- 4 デジタルデータドライバ
 - 4 1 kビットDAC部
- 5 フレームメモリ部
 - 5 1、5 1 A、5 1 B 列デコーダ
 - 5 2、5 2 A 入力制御回路
 - 5 3、5 3 A 列選択スイッチ部
 - 5 4、5 4 A メモリ行デコーダ
 - 5 5 ワードドライバ
 - 5 6、5 6 A、5 6 B メモリセル部
 - 5 7、5 7 A センスアンプ部（選択スイッチ）
- 6 メモリコントローラ
- 7 タイミングコントローラ
- 8 アクティブマトリクスOEL部
- 1 1 0 デジタルインターフェース
 - 1 1 0 A CPU

【書類名】 図面

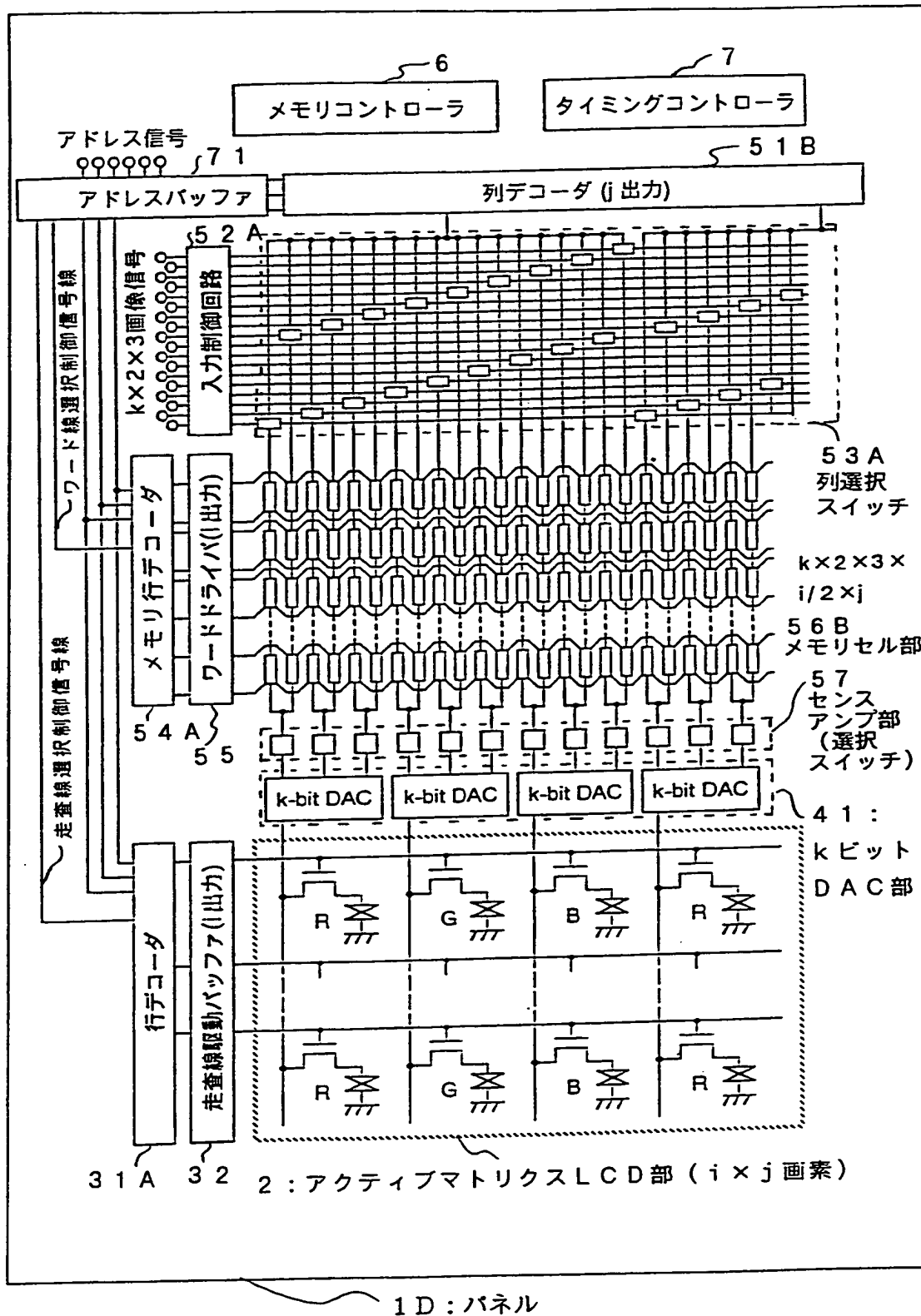
【図 1】



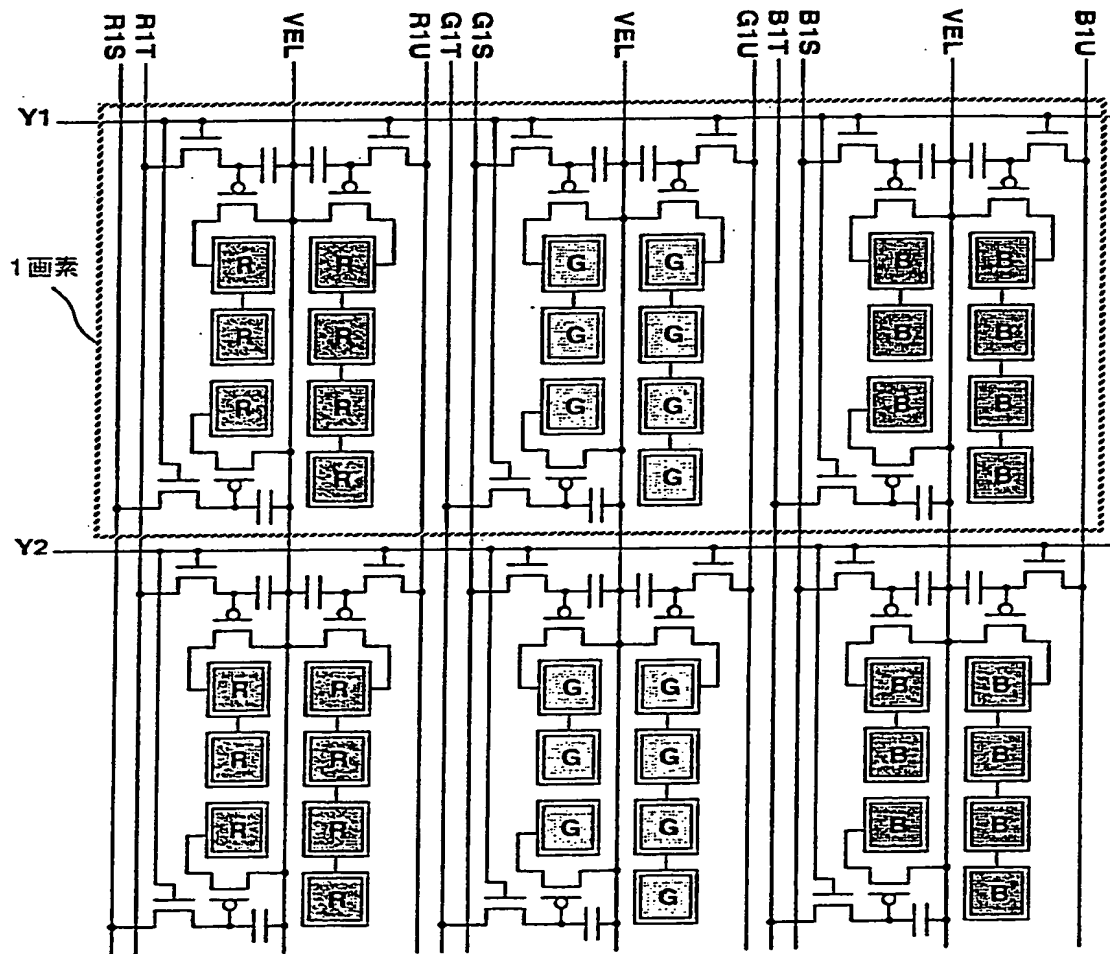
【图 5】



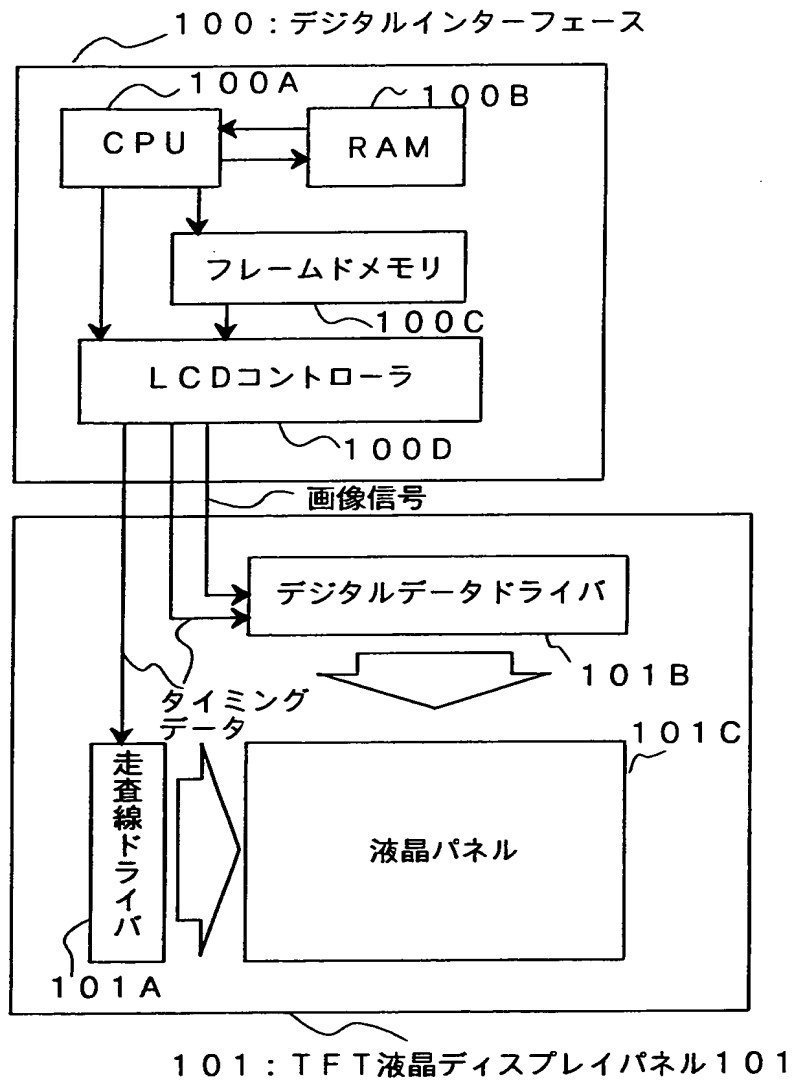
【図 6】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 周辺回路をガラス基板上に一体形成する場合に、レイアウトの効率等を考慮した表示装置を得る。

【解決手段】 ドットに対応させて複数の走査線及び複数のデータ線を格子状に形成し、各交点にアクティブ素子を設け、走査線及びデータ線の駆動により液晶を用いた表示制御をするアクティブマトリクスLCD部2と、走査線を選択する行デコーダ31と、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが、表示駆動部の行方向の長さに対応して割り付けられるメモリセル部56と、入力される画像信号を記憶させるメモリセルを選択する列デコーダ部51と、列デコーダ部51の選択と画像信号とに基づいてスイッチングし、選択されたメモリセルに画像信号を記憶させる列選択スイッチ部53と、メモリセル部に記憶された画像信号に基づいてデータ線を駆動させるkビットDAC部41とを基板上に集積し、一体形成した。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社